

DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

011013911 **Image available**
WPI Acc No: 1996-510861/*199651*

XRPX Acc No: N96-430711

Display appts e.g. ultra-thin type display appts, field emission type display appts - has insulating layer arranged in between gate and cathode electrode with thickness less than 1 micrometer, while flat electron emission surface is provided on upper surface of cathode electrode

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8264109	A	19961011	JP 9587546	A	19950320	199651 B

Priority Applications (No Type Date): JP 9587546 A 19950320

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8264109	A	20		H01J-001/30	

Abstract (Basic): JP 8264109 A

The appts comprises a sequential arrangement of a cathode electrode (13), an insulating layer (15) and a gate electrode (14). A micro hole (20) penetrates through the gate electrode and the insulated layer. When voltage is applied between the gate and the cathode electrode, predetermined amount of electrons are emitted through the micro hole from an electron emission surface (13A) of the cathode electrode.

The thickness (t1) of the insulating layer is set to less than 1 micrometers. Electron emission surface on upper surface of the cathode electrode is made as a flat surface.

ADVANTAGE - Ensures increase in quantity of discharging electrons. Improves efficiency of emission electrons. Ensures prolonged life for discharging surface. Ensures emission of electrons with high efficiency. Provides thin shaped appts.

Dwg.2/41

Title Terms: DISPLAY; APPARATUS; ULTRA; THIN; TYPE; DISPLAY; APPARATUS; FIELD; EMIT; TYPE; DISPLAY; APPARATUS; INSULATE; LAYER; ARRANGE; GATE; CATHODE; ELECTRODE; THICK; LESS; MICROMETER; FLAT; ELECTRON; EMIT; SURFACE; UPPER; SURFACE; CATHODE; ELECTRODE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02; H01J-031/12; H01J-031/15

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01C5; V05-D05C5

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264109

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 01 J	1/30		H 01 J 1/30	B
9/02			9/02	Z
31/12			31/12	B
31/15			31/15	C

審査請求 未請求 請求項の数20 FD (全20頁)

(21)出願番号 特願平7-87546

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成7年(1995)3月20日

(72)発明者 渡辺 英俊

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

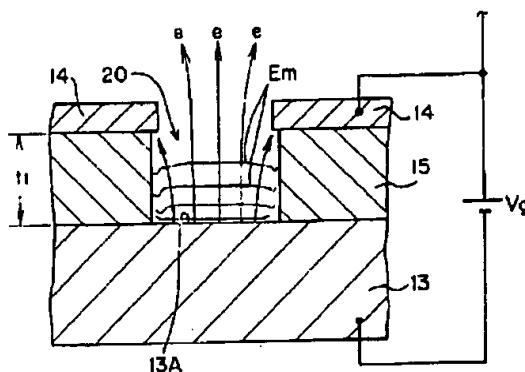
(74)代理人 弁理士 逢坂 宏

(54)【発明の名称】 粒子放出装置、電界放出型装置及びこれらの製造方法

(57)【要約】

【構成】 カソード電極13上に、絶縁層15、ゲート電極14が順次被着し、ゲート電極14と絶縁層15とを貫通する微小孔20が形成されて電子放出源の主要部を構成する。絶縁層15の厚さ t_1 は、 $1\mu\text{m}$ 未満、例えば $0.3\mu\text{m}$ としてある。カソード電極13の上面は平坦であり、その微小孔20で露出する部分13Aが電子放出面として機能する。

【効果】 両電極間に電圧を印加すると、電子放出面13A上にこの面に略平行に等電位面 E_m が形成される。電子 e は等電位面に垂直方向に移動するので、大部分の電子 e は、微小孔20を通り放出され、電子放出面13Aが平坦であるが故に放出電子の量が多くなり、電子放出効率が高い。



【特許請求の範囲】

【請求項1】 第一の電極と第二の電極とが絶縁層を介して互いに対向して設けられ、前記第二の電極及び前記絶縁層を夫々貫通する微小孔が形成され、前記第一の電極と前記第二の電極との間に電圧を印加することにより、所定の粒子が前記第一の電極の粒子放出面から前記微小孔を通して放出されるように構成されている粒子放出装置において、前記絶縁層の厚さが1μm未満であり、かつ、前記粒子放出面が実質的に平坦になっていることを特徴とする粒子放出装置。

【請求項2】 絶縁層の厚さが0.5μm以下である、請求項1に記載された粒子放出装置。

【請求項3】 絶縁層の厚さが0.1μm以上である、請求項1又は2に記載された粒子放出装置。

【請求項4】 粒子放出面が第一の電極の表面である、請求項1、2又は3に記載された粒子放出装置。

【請求項5】 粒子放出面が、第一の電極を被覆しかつこの第一の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜の表面である、請求項1、2又は3に記載された粒子放出装置。

【請求項6】 薄膜が微小孔下にのみ設けられている、請求項5に記載された粒子放出装置。

【請求項7】 薄膜が、少なくとも第一の電極と第二の電極とが重なり合う領域の略全域に亘って設けられている、請求項5に記載された粒子放出装置。

【請求項8】 請求項1に記載された第一の電極、第二の電極、複数の微小孔及び絶縁層を有する粒子放出装置において、前記絶縁層のうち、前記複数の微小孔間の領域が除去された構造を少なくとも一部に有することを特徴とする粒子放出装置。

【請求項9】 第一の電極と第二の電極とが互いに重なり合う領域において絶縁層の実質的に全部が除去されている、請求項8に記載された粒子放出装置。

【請求項10】 微小孔が設けられた第二の電極がハニカム状又は格子状を呈している、請求項8又は9に記載された粒子放出装置。

【請求項11】 第一の電極と第二の電極との間隙が1μm未満である、請求項8、9又は10に記載された粒子放出装置。

【請求項12】 第一の電極と第二の電極との間隙が0.5μm以下である、請求項11に記載された粒子放出装置。

【請求項13】 第一の電極と第二の電極との間隙が0.1μm以上である、請求項11又は12に記載された粒子放出装置。

【請求項14】 請求項1～7のいずれか1項に記載された粒子放出面又は薄膜を有する、請求項8～13のいずれか1項に記載された粒子放出装置。

【請求項15】 請求項1～14のいずれか1項に記載された粒子放出装置を具備する電界放出型装置。

【請求項16】 カソード電極ライン、ゲート電極ライ

ン、これら両電極ライン間の絶縁層及び粒子放出用の微小孔からなる第一のパネルと、複数の発光体及びこれら発光体が夫々被着された電極からなる第二のパネルとによって電界放出型発光装置として構成されている、請求項15に記載された電界放出型装置。

【請求項17】 発光体が螢光体である電界放出型ディスプレイ装置として構成されている、請求項16に記載された電界放出型装置。

【請求項18】 基体上に第一の電極を形成する工程と、前記第一の電極上に絶縁層を形成する工程と、前記絶縁層上に第二の電極を形成する工程と、前記第二の電極及び前記絶縁層を夫々貫通する微小孔を形成する工程とを有する、請求項1～7のいずれか1項に記載された粒子放出装置、又はこの粒子放出装置を具備する、請求項15、16若しくは17に記載された電界放出型装置の製造方法。

【請求項19】 基体上に第一の電極を形成する工程と、前記第一の電極上に絶縁層を形成する工程と、前記絶縁層上に第二の電極を形成する工程と、前記第二の電極及び前記絶縁層を夫々貫通する複数の微小孔を形成する工程と、前記絶縁層のうちの前記複数の微小孔間の領域の少なくとも一部の絶縁層を除去する工程とを有する、請求項8～14のいずれか1項に記載された粒子放出装置、又はこの粒子放出装置を具備する、請求項15、16若しくは17に記載された電界放出型装置の製造方法。

【請求項20】 第二の電極の微小孔を介してオーバーホーリングすることによって絶縁層部分を除去する、請求項19に記載された、粒子放出装置又は電界放出型装置の製造方法。

30 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、粒子放出装置（例えば、極薄型のディスプレイ装置に使用して好適な電子放出源）、電界放出型装置（例えば、前記電子放出源を有するディスプレイ装置）及びこれらの製造方法に関するものである。

【0002】

【従来の技術】 従来、例えば極薄型のディスプレイ装置としては、電界放出型カソードを電子放電源とする電界放出型ディスプレイ（FED：Field Emission Display）が知られている。

【0003】 公知のFEDでは、スクリーン内部に電子放出源を設け、その各画素領域内に電子放電源からなる多数のマイクロチップを形成し、所定の電気信号に応じて対応する画素領域のマイクロチップを励起することにより、スクリーンの螢光面を発光させている。

【0004】 上記の電子放出源においては、帯状に形成された複数本のカソード電極ラインと、このカソード電極ラインの上部においてカソード電極ラインと交差して帯状に形成された複数本のゲート電極ラインとが設けら

れ、上記カソード電極ラインの上記ゲート電極ラインとの各交差領域がそれぞれ1画素領域として形成されている。

【0005】従来のスピント型と呼ばれる縦形の電子放出源によれば、具体的には図24、図25に示すように、例えばガラス材からなる下部基板101の表面上に帯状の複数本のカソード電極ライン103が形成されている。

【0006】これらのカソード電極ライン103には各接続部103aを除いて絶縁層105が成膜され、この上に各カソード電極ライン103と交差して帯状に複数本のゲート電極ライン104が形成されていて、各カソード電極ライン103と共にマトリクス構造を構成している。絶縁層の厚さt₁は約1μmである。

【0007】更に、各カソード電極ライン103の接続端部103a及び各ゲート電極ライン104の接続端部104aが制御手段107に夫々接続され、電気的に導通している。

【0008】ここで、各カソード電極ライン103の各ゲート電極ライン104との各交差領域122において、絶縁層105には、カソード電極ライン103からゲート電極ライン104へ通じる孔径w₂の多数の円形の微小孔120がカソードホールとして形成され、これらの各孔内に電界放出型カソードとしてのマイクロチップ(エミッタコーンとも呼ばれる。)106が数μm以下の微小サイズに設けられている。

【0009】これらの各マイクロチップ106は、電子放出材料、例えばモリブデンからなっていて、略円錐体に形成され、夫々カソード電極ライン103上に配されている。そして、各マイクロチップ106の円錐体の先端部は、ゲート電極ライン104に形成されている電子通過用のゲート部104bに略位置している。

【0010】このように、各カソード電極ライン103の各ゲート電極ライン104との各交差領域122には、多数のマイクロチップ106が設けられて画素領域が形成され、個々の画素領域が1つの画素(ピクセル)に対応している。

【0011】上記のように構成された電子放出源(電界放出型カソード)においては、制御手段107により所定のカソード電極ライン103及びゲート電極ライン104を選択し、これらの間に所定の電圧を印加することによって、この印加電圧を対応する画素領域内の各マイクロチップ106に印加すると、各マイクロチップ106の先端からトンネル効果によって電子が放出される。なお、この所定の印加電圧値は、各マイクロチップ106がモリブデンからなっている場合、各マイクロチップ106の円錐体の先端部付近の電界の強さが10⁴~10¹⁰V/mとなる程度のものである。

【0012】このとき、この電子放出源が内蔵されたディスプレイ装置(FED)においては、所定の画素領域を励起することによって各マイクロチップ106から放出

された電子が、制御手段107によりカソード電極ライン103とアノード(螢光面パネルの透明電極)との間に印加された電圧によって更に加速され、ゲート電極ライン104とアノードとの間に形成された真空部を通って螢光面に到達する。そして、この電子線により螢光面から可視光が放出される。

【0013】ここで、図25においてこのディスプレイ装置の構成を説明すると、例えばR(赤)、G(緑)、B(青)の三原色の各螢光体素子がITO(Indium Tin Oxide: In及びSnの混合酸化物)等からなる透明電極100R、100G、100Bを介してストライプ状に配列されてカラー螢光面123が形成された光透過性の螢光面パネル114と、電界放出型カソードを有する電極構体115(電子放出源)が形成された背面パネル101とがシール材等により気密に封止され、所定の真空度に保持される。

【0014】螢光面パネル114と背面パネル101とは、その間隔を一定に保持するために所定の高さの柱(所謂ピラー、図示省略)を介して封止される。

【0015】このFEDによりカラー表示を行う方法としては、選択された交差部122の各カソードと一色の螢光体とを対応させる方法と、各カソードと複数の色の螢光体とを対応させるいわゆる色選別方法がある。この場合の色選別の動作を図26及び図27を用いて説明する。

【0016】図26において、螢光面パネル114の内面の複数のストライプ状の透明電極100上には各色に対応するR、G、Bの螢光体が順次配列されて形成され、各色の電極はそれぞれ赤色は3R、緑色は3G、青色は3Bの端子に集約されて導出されている。

【0017】対向する背面パネル101上には、上記したようにカソード電極103及びゲート電極104が直交してストライプ状に設けられ、マイクロチップ先端に10⁴~10¹⁰V/mの電界がかかるようにカソード電極103~ゲート電極104間に電圧を印加すると、各電極の交差部122に形成されたマイクロチップ(電界放出型カソード)106から電子が放出される。

【0018】一方、透明電極100(即ち、アノード電極)とカソード電極103との間には100~1000Vの電圧を印加して、電子を加速し、螢光体を発光させる。図26の例においては、赤色螢光体Rにのみ電圧を印加して、電子を矢印eで示すように加速させた場合を示している。

【0019】このように、三端子化された各色R、G、Bを時系列で選択することによってカラー表示を行うことができる。各カソード電極列上のある一点のカソード、ゲート及びアノード(螢光体ストライプ)のNTSC方式での色選別タイミングチャートを図27に示す。

【0020】各カソード電極103を1Hの周期で線順次駆動させるときに、各色螢光体R、G、Bに対しそれぞれ周期HのうちH/3ずつ+H Vの信号を与える一方、ゲート信号及びカソード信号をH/3周期でゲート信号

として $+\alpha$ V、カソード信号として $-\alpha$ V～ $-\beta$ Vを同期してそれぞれ与え、ゲートカソード間電圧 $V_{gt} = +2\alpha$ Vのときに電子を放出する。かくして、H/3毎に選択されるR、G、Bの各螢光体を発光させて色選別を行うことができ、これによりフルカラー表示を行うことができる。

【0021】しかしながら、本発明者が上記した電子放出源について検討を加えた結果、以下に述べるような種々の欠点が存在することを突き止めた。

【0022】まず、図28に示すように、カソード電極103 上の微細孔120 内に配したマイクロチップ106 がほぼ絶縁層105 の厚みに亘ってほぼ円錐形に形成されているために、ゲート電極104 - カソード電極103 間に電圧を印加した際に等電位面E₁ はマイクロチップ106 の円錐面に沿って微細孔120 内に形成されることになる。

【0023】この電子放出源は、 10^6 V/cmオーダの電界強度で電子が物質表面のボテンシャル障壁を通り抜けて真空中に放出される現象を利用したものである。マイクロチップ106 の先端とゲート104 との距離を d_1 、マイクロチップ先端の曲率半径を r 、ゲート104 - カソード103 間の印加電圧を V_1 、マイクロチップ先端の電界強度を F_1 とすると、 F_1 は次の近似式で求めることができる。

$$F_1 = 2V_1 / (r \cdot \ln(2d/r))$$

ここで、 $d_1 = 0.5 \mu\text{m}$ 、 $r = 0.1 \mu\text{m}$ 、 $V_1 = 100 \text{ V}$ とすると、 $F_1 = 8.7 \times 10^6 \text{ V/cm}$ となり、電界放出が起ることになる。

【0024】ところが、マイクロチップ106 から放出される電子eは等電位面E₁ と直交して進行するので、孔120 から放出される電子eの進路は大きく振れ、その振れ角θは±30度にもなってしまう。この結果、螢光面では、電子ビームeが所定の螢光体（例えば赤色螢光体）に到達せず、不所望な螢光体（例えば隣接する緑色螢光体）に到達し、ミスランディングを起こし易くなる。これでは、目的とする色の発光が得られず、ディスプレイの性能が損なわれ、その精細化において問題となる。

【0025】しかも、上記した電子放出源においては、各マイクロチップ106 から放出される電子の量（即ち、電流量）がばらつき、不均質なものとなり易い。このため、このようなディスプレイ装置はスクリーン上に生じる光輝点が不均質となり、非常に目障りなものとなる。

【0026】また、上記した電子放出源は、マイクロチップが円錐形を呈し、その頂点から電子を放出するので、使用中に真空中の僅かなイオンによってスパッタされて消耗し易く、電子放出能が変化したり、甚だしくは破壊することがある。

【0027】更に、上記した電子放出源には、後に図29～図32によって説明する製造過程から、次のような問題が在る。

【0028】円錐形のマイクロチップを形成するのに、

垂直方向からの蒸着によっているので、マイクロチップの形状がばらつき、正しい円錐形から可成り変形した形状になることがある。

【0029】また、上記した電子放出源は、金属粒子等により、マイクロチップ106 とゲート電極ライン104 とが接続されてカソード電極ライン103 とゲート電極ライン104 とが短絡し、マイクロチップ106 が破壊される場合があることが分かった。これに加えて、ゲート電極ライン104 と螢光面114 との間の高真空領域130 に存在するイオンがマイクロチップ106 をスパッタし、ディスプレイとしての寿命を縮めることもある。

【0030】また、 $1 \mu\text{m}$ 程度の高さのマイクロチップを蒸着で形成するのに長時間を要し、後述するリフトオフによる材料の無駄が大きい。

【0031】ディスプレイが大型になると蒸着装置が大型になり、大型化を避けようすると蒸着が甚だしく長時間を要することになる。

【0032】次に、上記の電子放出源の製造工程を、図29～図30によって説明する。まず図29に示すように、ガラス等からなる下部基板101 上にニオブ等を材料として厚さ約 2000 \AA 程度の導体膜103 を成膜し、その後、写真製版法及び反応性イオンエッティング法により、この導体膜をライン形状にバーニングしてカソード電極103 とする。

【0033】そして、絶縁層105（例えば、二酸化珪素）をスパッタリング又は化学蒸着法により上記導体膜上に成膜し、この絶縁層105 上にゲート電極材料（例えば、ニオブ）を成膜し、その後、写真製版法及び反応性イオンエッティング法によりこの導体膜をカソード電極ライン103 と交差するようなゲート電極ライン104 に加工する。しかし後、図30に示すように、ゲート電極ライン104 及び絶縁層105 を貫通する円形の微細孔120 を写真製版法及び反応性イオンエッティング法により形成する。

【0034】その後、図31に示すように、剥離層124（例えば、アルミニウム）を電子放出源の正面部に対して斜め方向から真空蒸着により成膜する。

【0035】そして、図32に示すように、微細孔120 中のカソード電極103 上にモリブデンを円錐形に蒸着法により堆積させ、マイクロチップ106 を形成する。このとき、剥離層124 上にモリブデン106 が堆積するが、この堆積の進行に伴って孔120 の上方が堆積モリブデンにより徐々に閉じられ、これと同時にマイクロチップ106 が円錐状に堆積する。マイクロチップ106 は高さが $1 \mu\text{m}$ 程度であり、この形成には長時間を要する。

【0036】次いで、剥離層124 を溶解することにより、剥離層124 上のモリブデン106 を剥離し、除去（リフトオフ）し、図24に示した如き構造を作製する。このリフトオフされるモリブデンは、マイクロチップよりも大量であり、これが無駄になる。このため、モリブデン（マイクロチップ材料）の利用率は、数%止まりで、と

きとして1%未満にもなる。

【0037】図32に示した方法では、マイクロチップの形状にはらつきを生ずることが避け難い。例えば、図33(a)に示すようにマイクロチップ106が傾斜したり、同図(b)に示すようにマイクロチップ周面に溝106aが生じたり、同図(c)に示すように頂点106bが複数形成されたり、同図(d)に平面図で示すように周面に稜106cが生じたりすることがある。これでは、電子放出特性が悪くなってしまう。

【0038】更に、図34に示すように、前述のリフトオフ時等に生じた金属片125等がマイクロチップ106とゲート電極ライン104との間に付着し、これらを短絡する。このため、作動時にカソード103-ゲート104間に電圧を印加し、この電圧を上げていった場合に、マイクロチップ106は非常に高温になり、ついには耐えきれないほどの温度となる。

【0039】この結果、図35に示すように、マイクロチップ106自体と、その周りの半径数十μmに亘る領域のゲート104やカソード103までも矢印126のように溶断され、破壊を生じてしまう。これでは、かなりの領域が動作しなくなり、有効な領域が減少してしまう。

【0040】蒸着にあっては、小面積の蒸着源(蒸着ターゲット)から蒸着材料を被蒸着材(ワーク)上に堆積させてるので、ディスプレイを大型化(即ちワークを大型化)すると、蒸着ターゲットとワークとの距離を大きくとらねばならず、蒸着装置が大型化する。これを図36によって説明する。

【0041】相似形で表面積が異なるワーク131(表面積S₁)、ワーク132(表面積S₂)に対し、蒸着ターゲット130から蒸着を行う場合を考えると、蒸着ターゲット130から±α₁の角度範囲内で蒸着を行う場合、蒸着ターゲット130からのワーク131、132の距離L₁、L₂は、ワーク表面積S₁、S₂と次のような関係になる。

$$S_1 : S_2 = L_1 : L_2$$

$$L_2 = (S_2 / S_1) \times L_1$$

即ち、蒸着ターゲットとワークとの距離は、ワーク表面積に比例して変化することになり、ディスプレイを大型化しようとするすれば蒸着装置が大型化することが理解できる。

【0042】ワークを大きくしかつ蒸着装置の大型化を避けるためには、図37に示すように、一対のスリット133、133を用いて蒸着角度α₂を狭く絞り、ワーク132を移動させながら蒸着を行うことが考えられる。然し、この方法では装置を大型化せずに済むのであるが、所定面積に蒸着を行うのに長時間を要することになる。即ち、蒸着エリアの長さをr₁、ワーク132の長さをr₂とすると、ワーク全面に同時に蒸着する場合に対し、r₂/r₁倍の時間がかかることになる。その上、蒸着角度をX、Y方向に同じα₂とするならば、ワークの移動もX、Yの2方向に行わねばならず、蒸着に益々時間が

かかってしまう。

【0043】電子放出源は、前記の方法によるほか、図38(a)～(g)に示す方法によって作製することができる。

【0044】先ず、珪素の基板140を熱酸化してその表面に酸化珪素膜144Aを形成し(図38(a))、次いで酸化珪素膜をバーニングしてマスク144Bとする(同図(b))。次に珪素基板140をエッティングしてマスク144B下の珪素を略円形にし(図38(c))、次いで熱酸化によって珪素表面に酸化珪素膜141を形成する(同図(d))。次に酸化珪素膜141上に絶縁層142とゲート金属膜(後にゲートとなる金属)143Aとを順次被着し(図38(c))、次いで酸化珪素膜141を弾酸でエッティング除去すると共に、マスク144B及びその上に被着した絶縁層部分とゲート金属膜部分とをリフトオフし、マイクロチップ140aを形成する(同図(f))。最後にゲート金属の膜をバーニングしてゲート143Bとする(図38(g))。

【0045】この方法は、マイクロチップの形状、寸法にはらつきが生じ易い上に、作製に手数がかかる。

【0046】図39(a)～(f)は、電子放出源の他の作製方法を示す。

【0047】先ず、絶縁基板150上にタンタルの層151を形成し、その上にSiO₂のマスク156を形成し(図39(a))、次いでタンタル層151をエッティングしてマスク156の下のタンタル部分を略円錐形にする(同図(b))。次にタンタル層151を陽極酸化してタンタル層151上にTa₂O₅の膜153を形成し(図39(c))、次いでTa₂O₅の膜153上にSiO₂の絶縁層154、クロムの膜(後にゲートとなる)155Aを順次被着する(同図(d))。次にTa₂O₅の膜153の露出部分をエッティング除去してマイクロチップ151aを形成すると共に、マスク156及びその上のSiO₂層部分、クロム膜部分をリフトオフする(図39(e))。最後にクロム膜155Aをバーニングしてゲート155Bとする(図39(f))。

【0048】この電子放出源も、図36の電子放出源と同様の欠点を有している。

【0049】上記のほか、図40(a)～(e)に示す種々の電子放出源が在るが、これらは、珪素の異方性エッティングによってマイクロチップを形成している。図中、Eはマイクロチップ(エミッタコーン)、Gはゲート、Aはアノードを示す(後述の図41でも同じ)。これらのタイプの電子放出源も、前記の図38、図39の電子放出源におけると同様の欠点を有している。

【0050】以上説明した電子放出源は、スピント型のものであるが、これとは別の平面型の電子放出源が在る。図41(a)～(f)は平面型の電子放出源の要部を示す概略斜視図である。

【0051】このタイプの電子放出源は、平面的な微細

加工のみのプロセスによって作製でき、作製が容易であるが、平面的構造であるため、次のような欠点を有している。

【0052】①カソードやエミッタの密度を高くすることが困難であり、画素の高密度化に適さない。②大面积での均一加工が難しい。③スピント型に較べて電界のかかり方が複雑であり、電子放出の対称性が崩れる。④エミッタ部に高い電界強度をかけるのが困難である。

【0053】

【発明が解決しようとする課題】本発明の目的は、上記したような従来技術の欠点を解決し、電子等の放出能力とその方向性を良好とし、低電圧駆動を可能にして、放出される電流量の均質化を図り、しかも、高信頼性、長寿命であり、極薄型ディスプレイ装置にも十分対応可能であり、製造が容易な粒子放出装置、電界放出型装置及びこれらの製造方法を提供することにある。

【0054】

【課題を解決するための手段】本発明は、第一の電極（例えば、後述のカソード電極13）と第二の電極（例えば、後述のゲート電極14）とが絶縁層（例えば、後述のSiO₂層15）を介して互いに対向して設けられ、前記第二の電極及び前記絶縁層を夫々貫通する微小孔（例えば、後述のカソードホール20）が形成され、前記第一の電極と前記第二の電極との間に電圧を印加することにより、所定の粒子（特に電子）が前記第一の電極の粒子放出面（特に電子放出面）から前記微小孔を通して放出されるように構成されている粒子放出装置（例えば、電界放出型カソード）において、前記絶縁層の厚さが1μm未満であり、かつ、前記粒子放出面が実質的に平坦になっていることを特徴とする粒子放出装置に係る。

【0055】本発明において、絶縁層の厚さが0.5μm以下であることが望ましい。

【0056】また本発明において、絶縁層の厚さが、0.1μm以上であることが望ましい。これが0.1μm未満であると、第一、第二の電極間にリークが起こり易くなり、充分な電圧を印加し難くなる。

【0057】本発明において、第一の電極の表面を粒子放出面とすることができます。

【0058】また本発明において、粒子放出面が、第一の電極を被覆しつつこの第一の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜（例えば、後述の薄膜16）の表面であるように構成することができます。

【0059】上記において、上記薄膜が微小孔下にのみ設けられているように構成することができます。

【0060】また、これとは異なって、上記薄膜が、少なくとも第一の電極と第二の電極とが重なり合う領域の略全域に亘って設けられているように構成することもできる。

【0061】本発明は、前述した第一の電極、第二の電

極、複数の微小孔及び絶縁層を有する粒子放出装置において、前記絶縁層のうち、前記複数の微小孔間の領域が除去された構造を少なくとも一部に有することを特徴とする粒子放出装置をも提供するものである。

【0062】上記において、第一の電極と第二の電極とが互いに重なり合う領域において絶縁層の実質的に全部が除去されているように構成することもできる。

【0063】また、上記において、微小孔が設けられた第二の電極がハニカム状又は格子状を呈しているように構成することができる。

【0064】また、上記において、第一の電極と第二の電極との間隙が1μm未満であることが望ましい。

【0065】また、上記において、第一の電極と第二の電極との間隙が0.5μm以下であることが一層望ましい。

【0066】更に上記において、第一の電極と第二の電極との間隙が0.1μm以上であることが前述したと同様の理由から望ましい。

【0067】本発明は、前述した粒子放出面又は薄膜を有し、かつ、絶縁層の少なくとも一部が除去された粒子放出装置をも提供するものである。

【0068】本発明は、前述した粒子放出装置を具備する電界放出型装置をも提供するものである。

【0069】本発明に基づく電界放出型装置は、カソード電極ライン、ゲート電極ライン、これら両電極ライン間の絶縁層及び粒子放出用の微小孔からなる第一のパネルと、複数の発光体及びこれら発光体が夫々被着された電極からなる第二のパネルとによって電界放出型発光装置として構成することができる。

【0070】上記において、発光体が蛍光体である電界放出型ディスプレイ装置として構成することができる。

【0071】本発明は、基体上に第一の電極を形成する工程と、前記第一の電極上に絶縁層を形成する工程と、前記絶縁層上に第二の電極を形成する工程と、前記第二の電極及び前記絶縁層を夫々貫通する微小孔を形成する工程とを有する、前記した粒子放出装置又は電界放出型装置の製造方法をも提供するものである。

【0072】本発明は更に、基体上に第一の電極を形成する工程と、前記第一の電極上に絶縁層を形成する工程と、前記絶縁層上に第二の電極を形成する工程と、前記第二の電極及び前記絶縁層を夫々貫通する複数の微小孔を形成する工程と、前記絶縁層のうちの前記複数の微小孔間の領域の少なくとも一部の絶縁層を除去する工程とを有する、前記した絶縁層の少なくとも一部を除去した粒子放出装置又は電界放出型装置の製造方法をも提供するものである。

【0073】上記の方法において、第二の電極の微小孔を介してオーバーエッチングすることによって絶縁層部分を除去することができる。

【0074】

11

【実施例】以下、本発明の実施例を説明する。

【0075】図1～図7は、本発明を電子放出源（電界放出型カソードを含む電極構体）及び極薄型のディスプレイ装置（FED）に適用した第一の実施例を示すものである。

【0076】本実施例によるディスプレイ装置は、図22に示したものと同様に、図1に示す電子放出源（電界放出型カソードを含む電極構体25）と、真空部を介して電子放出源に対向したアノードとなる螢光面パネル3との組み合わせによって構成され、既述したようにしてディスプレイ動作を行うものである。

【0077】電子放出源25においては、その要部を縦断面で表す図1及び図23と同様の斜視図である図3に示すように、例えばガラス材からなる下部基板11の表面上に帯状の複数本のカソード電極ライン13が形成されている。

【0078】これらのカソード電極ライン13上に絶縁層15と各カソード電極ライン13に対し領域22で交差した帯状の複数本のゲート電極ライン14とが形成され、これらのゲート電極ラインは各カソード電極ライン13と共にマトリクス構造を構成している。

【0079】更に、各カソード電極ライン13の接続端部（図示省略）及び各ゲート電極ライン14の接続端部（図示省略）が制御手段（図17の107と同様のもの）に夫々接続され、電気的に導通している。

【0080】ここで、絶縁層15にはゲート電極ライン14からカソード電極ライン13に達する孔径 w_1 の多数の円形の微小孔20がカソードホールとして形成されている。

【0081】カソード電極13は、高融点のモリブデン又はタンクステンからなる。ゲート電極14は、クロム、タンタル、モリブデン、タンクステン、WS₁、アルミニウム等で形成でき、その厚さは0.1～0.5 μmとしている。絶縁層15は、SiO₂、Si₃N₄等を真空蒸着、スパッタ、CVD等により、厚さ t_1 が1 μm未満（好ましくは0.1～0.5 μm、この例では0.3 μm）として形成されたものである。微小孔20は、径 w_1 が0.1 μm～数 μmで、ピッチ p を数 μm～数十 μmとして、ゲート電極14が格子状又はハニカム状になるように配列されている。

【0082】なお、螢光面パネル3側の基板2は、その一主面である下面部において上記真空部を介して上記電子放出源の主面部と対向して設けられている。この上部基板の下面部には、螢光面が塗布され、各ゲート電極ライン14と夫々平行な帯状の螢光面R、G、Bが夫々透明電極1R、1G、1Bに被着形成されている。

【0083】上記電子放出源においては、上記制御手段により所定のカソード電極ライン13及びゲート電極ライン14を選択し、これらの間に所定の電圧を印加することによって、対応する画素領域内の各微小孔20内のカソード電極13に所定の電界がかかると、各微小孔20内のカソ

12

ード電極13からトンネル効果によって電子が放出される。

【0084】このとき、上記電子放出源が内蔵されたディスプレイ装置において、所定の画素領域を励起することによって各微小孔20内のカソード電極13から放出された電子が上記制御手段によりカソード電極ライン13とアソードである螢光面パネル3の透明電極1R、1G又は1Bとの間に印加された電圧によって更に加速され、ゲート電極ライン14と螢光面パネル3との間に形成された真空部30を通過して螢光面に到達する。そして、この電子線により螢光面R、G又はBから可視光が放出される。

【0085】ここで、図2に示すように、カソード電極13上の微細孔20内に露出した部分の上面13Aがフラットであるために、ゲート電極14～カソード電極13間に電圧を印加した際に等電位面E₀は上面13Aに沿って略フラットに微細孔20内に形成されることになる。

【0086】従って、上面（電子放出面）13Aから放出される電子eは等電位面E₀と直交して進行するので、微小孔20から放出される電子eは進路があまり振れることなく、真空部（高真空領域）30を通して所定の螢光体（例えば赤色螢光体R）に到達し、ミスランディングを起こすことはない。この結果、常に目的とする色の発光が得られ、ディスプレイの性能が向上し、高精細化が可能になる。更に、電子eは、マイクロチップの頂点からではなく、カソード電極13の微小孔20に臨む部分の上面13Aから放出されるので、放出電子の量が大きくなり、高い効率を以て発光がなされる。その上、マイクロチップの頂点のような1点にイオンが集中する事なく、高真空中に存在するイオンによるスパッタも激減し、装置の耐久性が改善される。

【0087】更に、電子を放出する部分をカソード電極13の微小孔20に臨む部分の上面13Aとしているので、この上面13Aとゲート電極14との間が十分離れており、これらの間に金属片が付着して短絡が生じることがない。しかも、後述の製造方法から明らかのように、予め基板11上に成膜しておけるから、リフトオフの必要がなく、リフトオフ時に生じる金属片の問題もなくなる。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0088】図4は、電子放出源と螢光面パネル3とによって組み立てられてなるFEDの要部概略斜視図である。電子放出源25と螢光面パネル3とは、多数のピラー（柱状のスペーサ）4を介して対向し、周縁部がフリットシール7によって封止される。そして、電子放出源25と螢光面パネル3との間の空間（図1の30）は、排気管8から排気されて 10^{-6} ～ 10^{-5} Torr (10^{-4} ～ 10^{-3} Pa)の真空度になる。カソード電極ライン13とゲート電極14とは、夫々FPC（フレキシブルプリントサーキット）5、6によって外部に電気的に導出される。

【0089】画素ピッチを0.4mmとし、カソード電極、

ゲート電極の幅をいざれも 0.2mmとした（即ち、両電極の交差部（図3の22）領域を 0.2mm×0.2mmとした）場合、交差部から放出された電子が収束電極等の作用に頼ることなく螢光体面に引きつけられるとすると、電子が移動する経過は約±30度の角度範囲に広がる。放出電子が、0.4mmピッチで配された螢光体画素上に到達し、隣の画素の螢光体には到達しない（即ち、クロストークを起こさない）ようになるには、前記間隙は 0.3mm以下であることを要する。そこで、高さ 0.3mm以下のピラーを、螢光体が存在しない箇所に形成配置する必要がある。

【0090】次に、この例による電子放出源の作製手順について説明する。

【0091】先ず、図5に示すように、ガラス基板11上に、カソード電極13、絶縁層15、ゲート電極14を順次被着した積層体を製造する。このとき、両電極を電極ラインにバターニングしておく。絶縁層15は、両電極の交差部にのみ設ける。次いで、ゲート電極14上に微小孔形成のためのレジストマスク19を形成する。

【0092】次に、図6に示すように、反応性イオンエッティング等の異方性エッティングにより、レジストマスク19が存在しない箇所のゲート電極14の部分及び絶縁層15の部分をエッティング除去し、微小孔20を形成する。

【0093】次に、レジストマスク19を除去し、図1に示した電子放出源25とする。この方法では、約 1 μmの高さのマイクロチップを形成する工程やリフトオフの工程が不要であり、製造が簡単で材料の甚だしい無駄も起こらない。

【0094】従来の電子放出源にあっては、後のマイクロチップ蒸着のために、絶縁層の微小孔をオーバーエッチしてゲート電極の微小孔よりも大きくする必要があったが、本発明に基づく電子放出源では、図7 (a) に示すように、垂直に同様にエッティングして良く、仮想線で示すように絶縁層部分を傾斜してエッティングしても良い。また、図7 (b) に示すように、オーバーエッティングしても良い。

【0095】図8は、本発明の第二の実施例を示す図1と同様の断面図である。

【0096】この例では、カソード電極13上に、カソード電極の構成材料よりも仕事関数が小さい電子放出物質からなる薄膜16を、少なくとも電極交差部22の略全域に設けている。そして、薄膜16の微小孔20に臨む部分の上面16Aが電子放出面となり、電子放出源35が構成される。

【0097】薄膜16を構成する電子放出物質の仕事関数がカソード電極13の構成材料よりも小さくすることにより、電子の放出のためのカソード電極とゲート電極との間に印加する電圧を低減（例えば数十Vに低減）することができ、低電圧駆動で必要な放出量を安定して得ることができます。

【0098】また、電子を放出する部分を上記の薄膜とし、この薄膜を少なくともカソード電極及びゲート電極の重なり合う領域の略全域に亘って設けることにより、この薄膜は、既述したようなマイクロホール120の形成後の蒸着によらずに、予め成膜した後に絶縁層の形成→ゲート電極及び微小孔の形成といった簡単な工程を経ることができる。薄膜16は、図5、図6に仮想線で示してある。

【0099】上記した粒子放出物質からなる薄膜が、絶縁層の2分の1以下の厚みに設けられているのがよく、例えば、絶縁層が 1 μmに近い厚みであれば、薄膜は 50 00Å以下の厚みを有している。この薄膜の厚みは、上記したこの例による作用効果を有効に発揮できるように設定するのがよく、また、成膜時の蒸着量等によって制御可能である。この例では、絶縁層の厚さ t_1 : 0.3 μmに対し、薄膜16の厚さを 2000 Å としている。

【0100】上記した粒子放出物質の仕事関数は、カソード電極の構成材料の仕事関数よりも小さいことが望ましく、3.0 eV以下であることが特に望ましく、2.0 eV以下が更によい。これは、両電極（カソード電極及びゲート電極）間の印加電圧を低くし、特に数十Vでも必要な電流量を得、例えばディスプレイ用として十分に動作可能となるからである。なお、カソード電極の構成材料としては、ニオブ（仕事関数 4.02~4.87 eV）、モリブデン（仕事関数 4.53~4.95 eV）、クロム（仕事関数 4.5 eV）等が挙げられる。

【0101】こうした粒子放出物質としては、ダイヤモンド（特にアモルファスダイヤモンド：仕事関数 1.0 eV以下）がよい。薄膜がアモルファスダイヤモンド薄膜である場合には、 5×10^7 V/m以下の電界の強さでディスプレイとして必要な電流量を得ることができるので、一層の低電圧駆動が可能となる。

【0102】また、こうしたアモルファスダイヤモンド薄膜は電気的に抵抗体であるから、各微小孔内の薄膜から放出される電流量の均質化を図ることができる。そして、アモルファスダイヤモンド薄膜は化学的に不活性であり、イオンによりスパッタリングされにくいので、安定なエミッションを長い時間維持できる。

【0103】ダイヤモンド以外に使用可能な粒子放出物質としては、LaB₆（仕事関数 2.66~2.76 eV）、BaO（仕事関数 1.6~2.7 eV）、SrO（仕事関数 1.25~1.6 eV）、Y₂O₃（仕事関数 2.0 eV）、CaO（仕事関数 1.6~1.86 eV）、BaS（仕事関数 2.05 eV）、TiN（仕事関数 2.92 eV）、ZrN（仕事関数 2.92 eV）等が挙げられる。

【0104】こうした粒子放出物質は、既述したマイクロチップ106の構成材料であるモリブデン（仕事関数 4.6 eV）等に比べて仕事関数がかなり小さいことが特徴的である。なお、この仕事関数は 3.0 eV以下とするのが望ましいが、これは両電極間の印加電圧との相関性

で決めることができ、仕事関数が小さめである場合は印加電圧を低くでき（例えば、仕事関数を2.0eV以下とすれば印加電圧は100V以下にでき）、或いは仕事関数が大きめである場合は印加電圧を高くすればよい。

【0105】この場合、カソード電極ライン13が冷陰極薄膜16の微小冷陰極に被覆され、ゲート電極ライン14及び絶縁層15を貫通する円形の微小孔20が形成されているが、薄膜16が特にアモルファスダイヤモンドである場合、冷陰極自体が抵抗体であるため、各微小孔20内の薄膜16から放出される電流量が均質化される。この結果、ディスプレイ装置のスクリーン上に生じる光輝点が均質となり、見栄えが非常に良好なものとなる。

【0106】更に、アモルファスダイヤモンド薄膜は化学的に不活性であり、真空部30に生じるイオンによってもスパッタリングされ難いので、安定なエミッションを長い時間維持できる。こうしたスパッタリングについては、薄膜16自体が薄くて微小孔20の底面に存在しているために、薄膜16はスパッタリングされ難い構造となっている。

【0107】その他は、前記第一の実施例におけると同様である。

【0108】図9は、第三の実施例を示す図8と同様の断面図である。

【0109】この例では、カソード電極13の微小孔20に臨む領域にのみ例えばアモルファスダイヤモンドの薄膜36を真空蒸着によって形成し、その上面36Aを電子放出面として電子放出源45を構成している。薄膜36は、微小孔20を形成した後に設ける。この例にあっては、アルミニウムの膜37（仮想線で示す）をゲート電極14上に形成し、薄膜蒸着時にアルミニウム膜37上に堆積した薄膜材料の堆積層38（仮想線で示す）をアルミニウム膜37を除去すると共にリフトオフする。

【0110】この例にあっては、低電圧駆動が可能であるという前記第二の実施例による効果に加えて、上記のリフトオフ時に堆積層38の一部が微小孔20内に侵入したとしても、これは導電性ではないので何の障害にもならない。その他は、前記第二の実施例におけると同様である。

【0111】図10は、第四の実施例を示す図9と同様の断面図である。

【0112】この例では、図9の薄膜36に替えて、絶縁層15の高さよりも低い、例えばアモルファスダイヤモンドの円錐台形体46を形成し、その上面46Aを電子放出面とし、電子放出源55を構成している。図10中、仮想線で示す47はリフトオフ用のアルミニウム膜、仮想線で示す48はアルミニウム膜47上に堆積した堆積物の層である。

【0113】この例にあっては、アモルファスダイヤモンドの円錐台形体46の高さを高精度に制御する必要がなく、製造が容易である。その他は、前記第三の実施例におけると同様である。

【0114】図11は第五の実施例を示す図1と同様の断面図、図13は図3と同様の斜視図である。

【0115】この例にあっては、電子放出源65の電極交差部22の絶縁層15を、交差部の周縁部を残してこの周縁部に囲まれる領域の絶縁層部分が総て除去され、電子放出源65が構成されている。残された絶縁層の厚さ（即ち、カソード電極13とゲート電極14との間の間隙） t_2 は、1μm程度でも良いのであるが、小さい方が望ましく、この例にあっては、前記の各実施例におけると同様に0.3μmとしている。

【0116】図12は電子放出の状況を示す図2と同様の拡大断面図である。

【0117】この例にあっては、カソード電極13上に形成される等電位面E₁は、カソード電極13の微小孔20下の領域の中央部でカソード電極表面と平行になり、同周縁部及びこれに隣接するゲート電極14下の領域で上昇するよう形成される。このため、放出電子eは、等電位面E₁と直交する方向に移動するため、等電位面の上昇部分が恰もレンズのように作用して、ゲート電極14の微小孔20に近い部分の下のカソード電極部分から放出する電子も、微小孔20を通って螢光面パネルへ移動するようになる。

【0118】このため、螢光面パネルへ向かう有効な電子を放出する電子放出面13Bは、ゲート電極下の部分の一部に迄及ぶようになって、前記第一の実施例における電子放出面13A（図2参照）よりも広くなり、有効な放出電子の量が多くなる。

【0119】図12において、ゲート電極とカソード電極との最短距離をd₁、両電極間の印加電圧をV₁とする

と、電界強度F₁は、近似的に

$$F_1 = V_1 / d_1$$

で求められる。ここで、d₁（即ち、t₂）=0.3 μm、V₁=100 Vとすると、

$$F_1 = 3.4 \times 10^6 \text{ V/cm}$$

となり、電界放出が起こることになる。この電界強度F₁は、先に図26で説明した従来のマイクロチップでの電界強度F₂の半分以下（即ち、電界放出に要する電界強度が半分以下）である。

【0120】上記のように絶縁層15が交差部の周縁部のみに存在しているので、多数の微小孔20が形成されたゲート電極14は、製造中や使用中に応力を受けて振れ易く、間隙t₂が変化し易い。従って、ゲート電極14は、図15（a）、（b）のように格子状としても良いが、寧ろ図14（a）、（b）に示すように、ハニカム状とするのが望ましい。また、ハニカム状にすることにより、微小孔20の密度が高くなり、放出電子の量が多くなって好都合である。

【0121】上記の例では、ゲート電極とカソード電極との間隙t₂を0.3μmとしているが、この間隙を1.0μm程度にすることも可能である。図16の電子放出源66

は、上記間隙（符号 t_1 で示す）を $1.0\mu\text{m}$ とした例を示す電子放出源65と同様の断面図である。

【0122】図11、図16の電子放出源は、図17～図19に示す手順で作製される。

【0123】先ず、図17に示すように、ガラス基板11上に、カソード電極13、絶縁層15、ゲート電極14を順次被着した積層体を製造する。このとき、両電極を電極ラインにバターニングしておく。絶縁層15は両電極の交差部にのみ設ける。次いで、ゲート電極14上に微小孔形成のためのレジストマスク99を形成する。

【0124】次に、図18に示すように、反応性イオンエッティング等の異方性エッティングにより、レジストマスク99が存在しない箇所のゲート電極14の部分及び絶縁層15の部分をエッティング除去し、微小孔20を形成する。

【0125】次に、図19に示すように、例えは弗酸を用いての微小孔20からの等方性エッティングにより、交差部の周縁部以外の領域の絶縁層を完全に除去する。

【0126】次に、レジストマスク99を除去し、図11、図16に示した電子放出源65、66とする。

【0127】その他は、前記第一の実施例におけると同様である。

【0128】図20は第六の実施例を示す図11と同様の断面図である。

【0129】この例は、前記第二の実施例におけるカソード電極上にこの構成材料よりも仕事関数の小さい材料からなる薄膜を設けた構造を、前記第五の実施例に付加した例である。

【0130】即ち、ニオブ、モリブデン、クロム等からなるカソード電極13上の少なくとも電極交差部の全域に亘ってアモルファスダイヤモンド等の薄膜16を被着し、電極交差部の周縁部以外の領域で絶縁層を絶して除去し、電子放出源75としている。その他は、前記第二の実施例及び前記第五の実施例におけると同様である。

【0131】電子放出源75を上記のように構成することにより、低電圧駆動が可能になるという前記第二の実施例による効果と、電子放出面16Bが広くなつて電子放出量が増加するという前記第五の実施例による効果との双方の効果が併せて奏せられる。

【0132】図21は第七の実施例を示す図11と同様の断面図である。

【0133】この例は、前記第三の実施例におけるカソード電極の微小孔下の部分に、カソード電極構成材料よりも仕事関数の小さい材料からなる薄膜を設けた構造を、前記第五の実施例に付加した例である。

【0134】即ち、ニオブ、モリブデン、クロム等からなるカソード電極13上の微小孔20下の部分に、アモルファスダイヤモンド等の薄膜36を被着し、電極交差部の周縁部以外の領域で絶縁層を絶して除去し、電子放出源85としている。その他は、前記第三の実施例及び前記第五の実施例におけると同様である。

【0135】電子放出源85を上記のように構成することにより、低電圧駆動が可能になるという前記第三の実施例による効果と、薄膜36の上面36Aと薄膜36の周囲のカソード電極上面13Cとによって電子放出面が形成され、電子放出面が広くなつて電子放出量が増加するという効果との双方の効果が併せて奏せられる。

【0136】図22は第八の実施例を示す図11と同様の断面図である。

【0137】この例は、前記第四の実施例におけるカソード電極13の微小孔20下の部分上に例えばアモルファスダイヤモンドの円錐台形体46を設けた構造を、前記第五の実施例に付加した例である。

【0138】即ち、ニオブ、モリブデン、クロム等からなるカソード電極13上の微小孔20下の部分に、アモルファスダイヤモンド等の円錐台形体46を設け、電極交差部の周縁部以外の領域で絶縁層を絶して除去し、電子放出源95としている。その他は、前記第四の実施例及び前記第五の実施例におけると同様である。

【0139】電子放出源95を上記のように構成することにより、低電圧駆動が可能かつ円錐台形体46の高さを高精度に制御する必要がないという前記第四の実施例による効果と、円錐台形体46の上面46Aと円錐台形体46の周囲のカソード電極上面13Cとによって電子放出面が形成され、電子放出面が広くなつて電子放出量が増大するという効果との双方の効果が併せて奏せられる。

【0140】図23は第九の実施例を示す図11と同様の断面図である。

【0141】この例では、前記第五の実施例において図19に示した等方性エッティングを途中で中止し、カソード電極13下に多数の絶縁層15を残し、電子放出源96としている。

【0142】電子放出源96を上記のように構成することにより、カソード電極13は多数箇所で絶縁層15に支持されるので、歪みが起こり易く、カソード電極を格子状としても応力に充分耐えられるようになる。その他は、前記第五の実施例におけると同様である。なお、この例にあって、前記第六、第七、第八の実施例におけると同様に、カソード電極の交差部全面にアモルファスダイヤモンド等の薄膜13、微小孔20下に薄膜36、円錐台形体46（いずれも仮想線で示す）を設けて良いことは言う迄もない。

【0143】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

【0144】例えば、上述した薄膜16の形成領域は、カソード電極ラインとゲート電極ラインとの交差領域のみであつてよいし、カソード電極ラインと略同一バターンに設けてよい。これ以外の領域にも薄膜16が存在してもよく、場合によっては基板11の全面にあってよい。

【0145】薄膜16、カソード電極13等の材質や厚み、その成膜方法等は種々変化させてよい。成膜方法には、上述したCVD等だけでなく、レーザアブレーション法（レーザ光照射によるエッティング現象を利用した堆積法：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）、スパッタ法（例えばArガスを用いたスパッタリング：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）等がある。

【0146】また、上述した電子放出源は、FEDに好適であるが、対向する螢光面パネルの構造や各部のバターン及び材質等は上述したものに限られず、また、その作製方法も種々採用できる。

【0147】なお、上述した電子放出源の用途は、FED又はそれ以外のディスプレイ装置に限定されることはなく、真空管（即ち、カソードから放出される電子流をゲート電極（グリッド）によって制御し、增幅又は整流する電子管）に使用したり、或いは、カソードから放出される電子を信号電流として取り出すための回路素子（これには、上述したFEDの螢光面パネルに光電変換素子を取り付け、螢光面パネルの発光パターンを光電変換素子で電気信号に変換する光通信用の素子も含まれる。）等にも応用可能である。

【0148】更に、放出される粒子は、通常は前記各実施例におけるように電子であるが、必ずしも電子に限られるものではなく、他の素粒子を対象としても良い。

【0149】

【発明の作用効果】本発明は、第一の電極と第二の電極との間に位置する絶縁層の厚さが1μm未満であり、かつ、第一の電極上に形成される粒子放出面を実質的に平坦とすることにより、次の作用効果が奏せられる。

【0150】粒子放出面が実質的に平坦となっているので、粒子放出面から放出される粒子は、平坦な粒子放出面と略平行に形成される等電位面に対して垂直方向に移動するので、第二の電極に引き付けられずに第二の電極の微小孔を通って放出されるようになる。また、粒子は、点からではなく面から放出されるので、放出粒子の量が多くなり、粒子放出が効率的になされて信頼性が高くなる上に、粒子放出面の寿命が延び、かつ、装置製造が容易である。

【0151】絶縁層の厚さが1μm未満と小さいため、第一、第二の電極間の距離が小さく、第二の電極に引き付けられずに微小孔を通過して放出される放出粒子の量が多くなり、これにより、前記の効果が増大する。また、装置を薄型にできる。

【0152】本発明は、絶縁層のうち、複数の微小孔間の領域が除去された構造を少なくとも一部に有することにより、更に次の作用効果が奏せられる。

【0153】絶縁層が除去された領域では、第二の電極の微小孔に近い部分の下で、等電位面が彎曲し、この

曲した等電位面が恰もレンズのように作用して放出粒子の進路を曲げるようになる。そのため、微小孔を通って放出される粒子には、第二の電極の微小孔に近い部分の下に位置する第一の電極部分から放出される粒子が含まれるようになる。その結果、放出粒子の量が一層多くなり、粒子放出が更に効率的になされる。

【図面の簡単な説明】

【図1】第一の実施例によるディスプレイ装置の要部拡大部分断面図である。

10 【図2】同電子放出源の電子放出性能を説明するための拡大概略断面図である。

【図3】同ディスプレイ装置の要部概略分解斜視図である。

【図4】同ディスプレイ装置の概略斜視図である。

【図5】同電子放出源製造の第一ステップを示す拡大部分断面図である。

【図6】同電子放出源製造の第二ステップを示す拡大部分断面図である。

【図7】第一の実施例の変形例を示す電子放出源の拡大部分断面図である。

20 【図8】第二の実施例によるディスプレイ装置の要部拡大部分断面図である。

【図9】第三の実施例によるディスプレイ装置の要部拡大部分断面図である。

【図10】第四の実施例によるディスプレイ装置の要部拡大部分断面図である。

【図11】第五の実施例によるディスプレイ装置の要部拡大部分断面図である。

【図12】同電子放出源の電子放出性能を説明するための拡大概略断面図である。

30 【図13】同ディスプレイ装置の要部概略分解斜視図である。

【図14】同微小孔をハニカム状に配した電子放出源の部分拡大平面図である。

【図15】同微小孔を格子状に配した電子放出源の部分拡大平面図である。

【図16】第五の実施例の変形例によるディスプレイ装置の要部拡大部分断面図である。

40 【図17】第五の実施例による電子放出源製造の第一ステップを示す拡大部分断面図である。

【図18】同電子放出源製造の第二ステップを示す拡大部分断面図である。

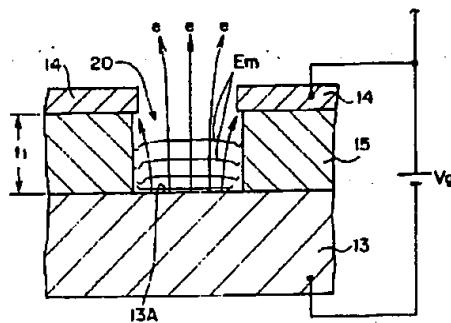
【図19】同電子放出源製造の第三ステップを示す拡大部分断面図である。

【図20】第六の実施例によるディスプレイ装置の要部拡大部分断面図である。

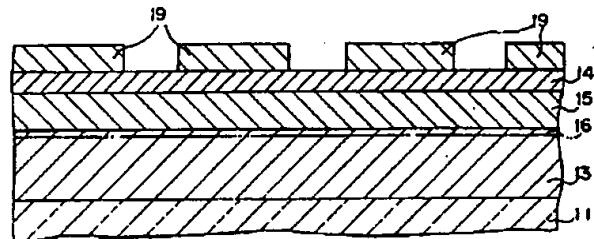
【図21】第七の実施例によるディスプレイ装置の要部拡大部分断面図である。

50 【図22】第八の実施例によるディスプレイ装置の要部拡大部分断面図である。

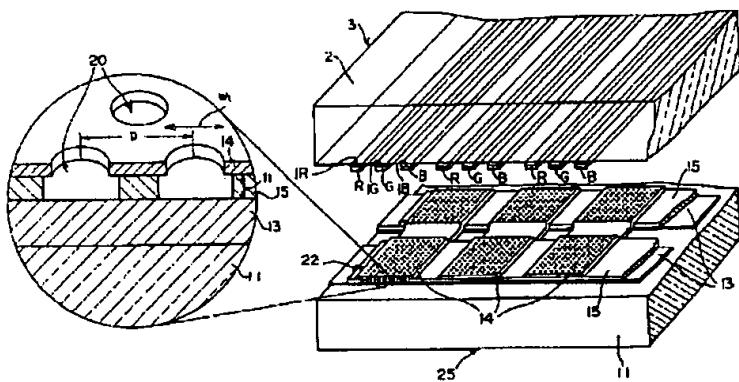
【図2】



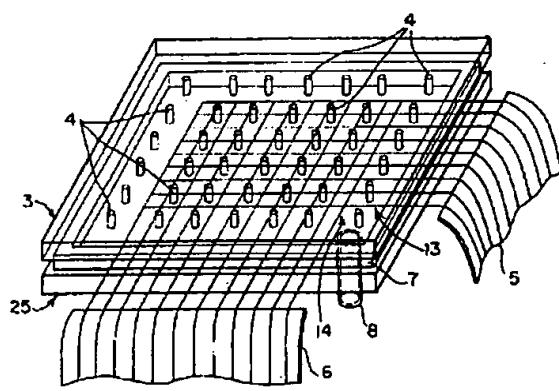
【図5】



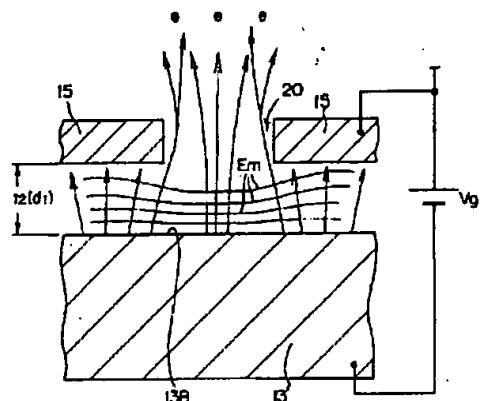
【図3】



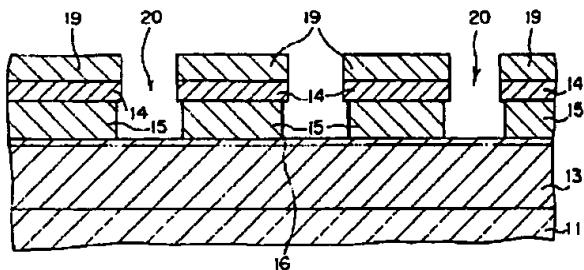
【図4】



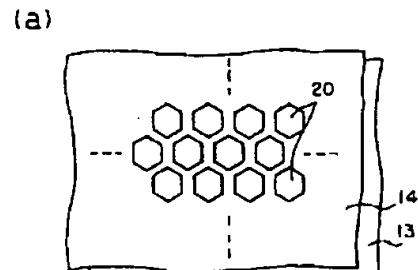
【図12】



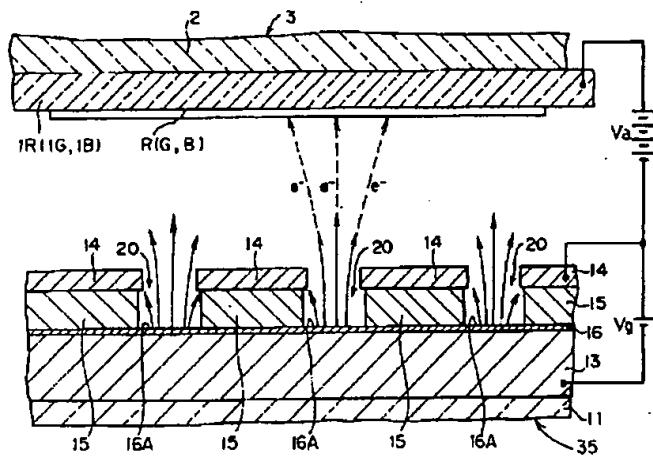
【図6】



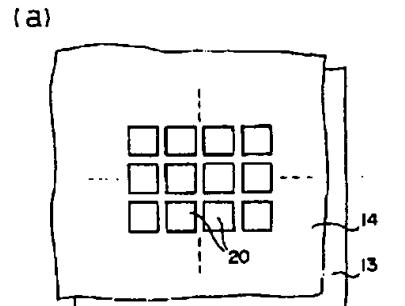
【図14】



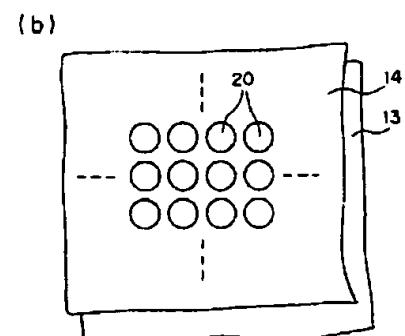
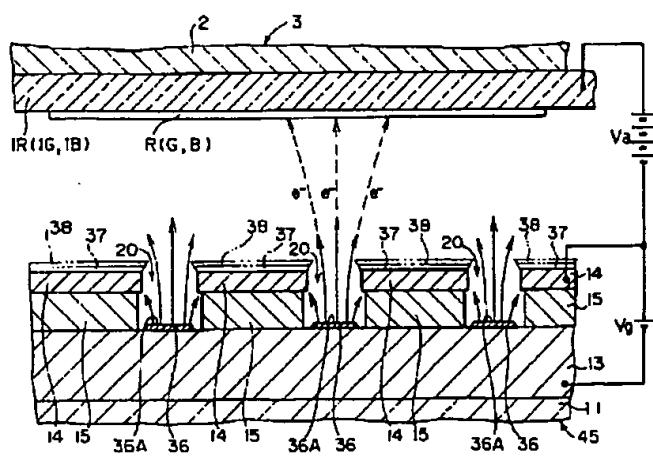
【図8】



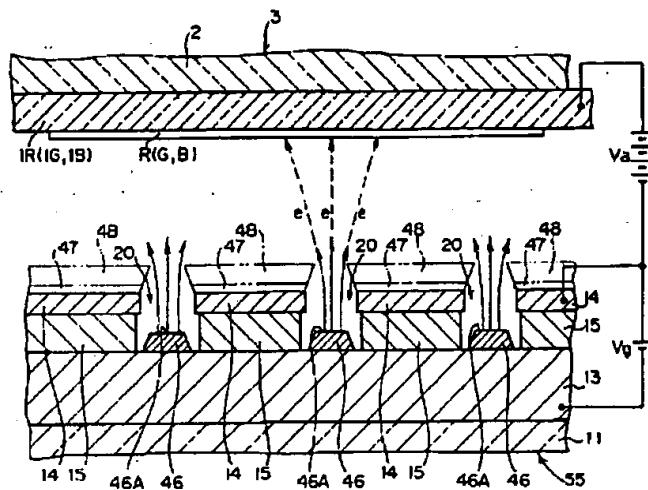
【図15】



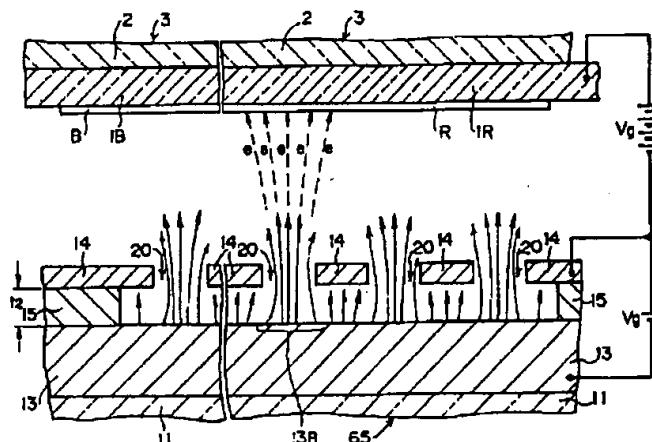
【図9】



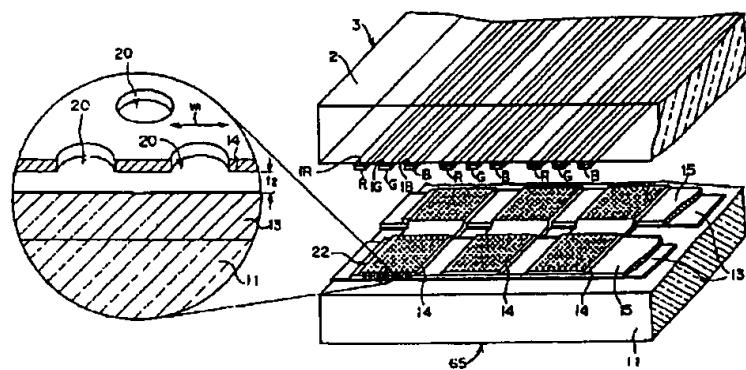
【图10】



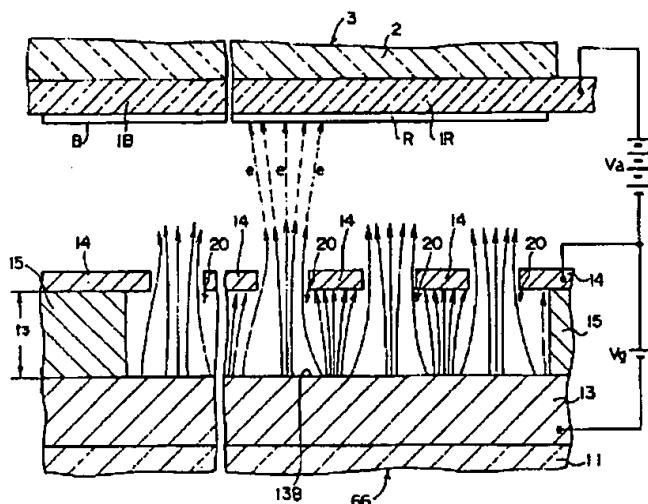
[図11]



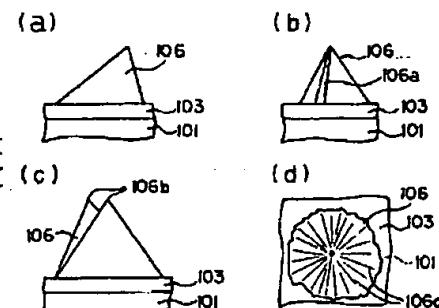
[图 13]



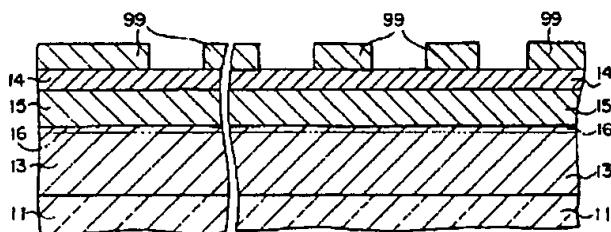
【図16】



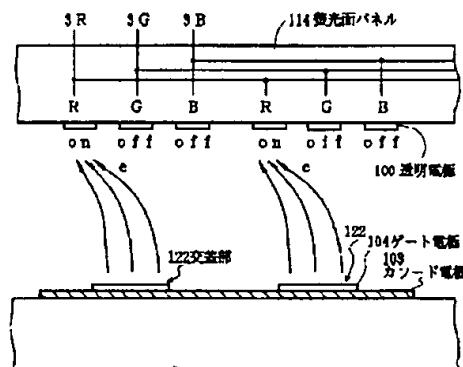
【図33】



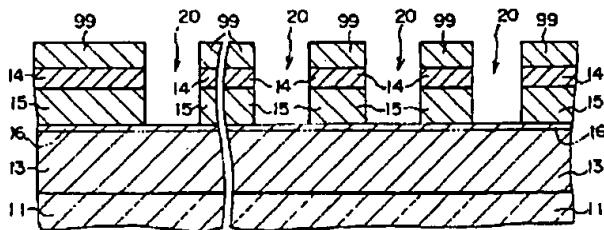
【図17】



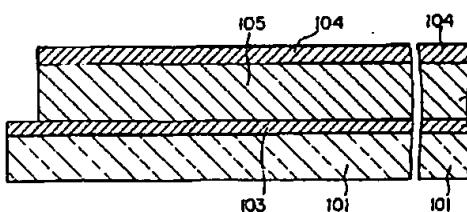
【図26】



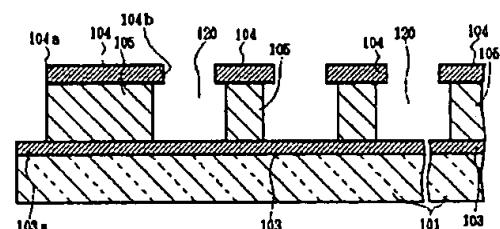
【図18】



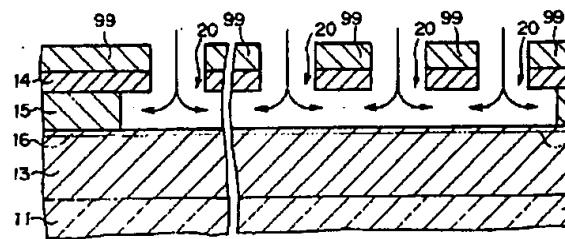
【図29】



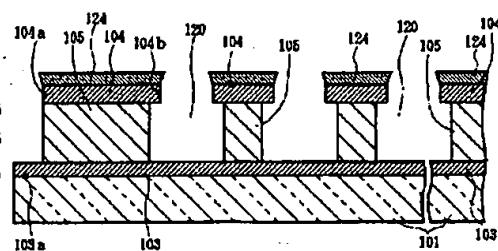
【図30】



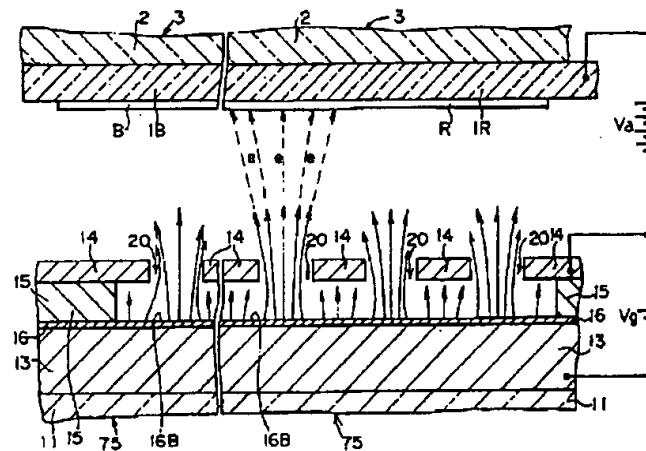
【図19】



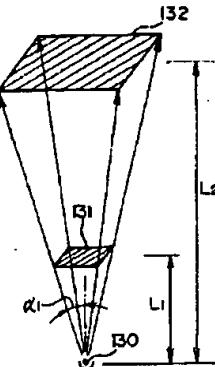
【図31】



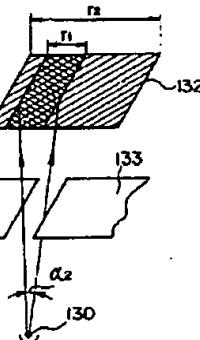
【図20】



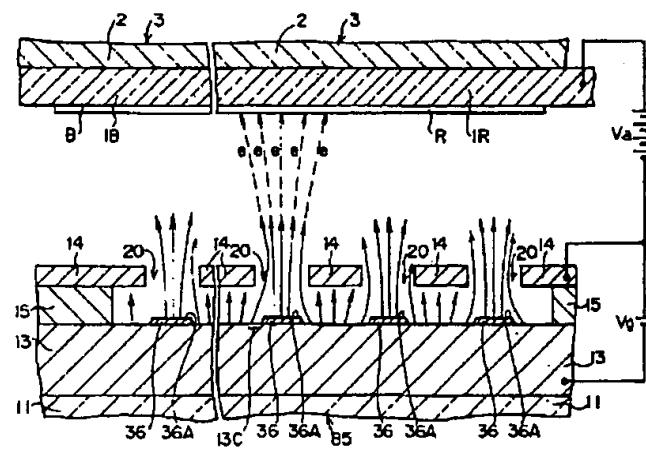
【図36】



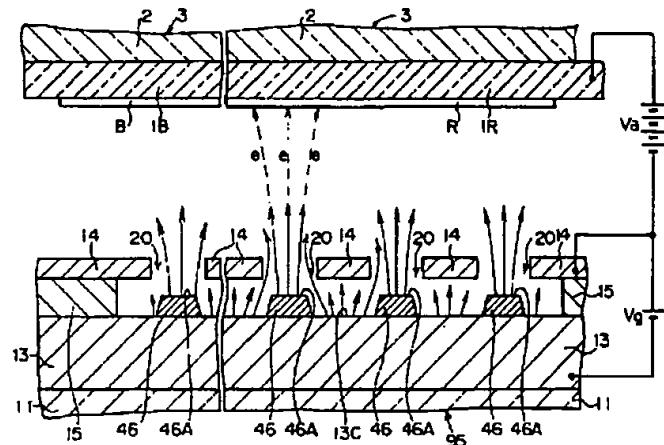
【図37】



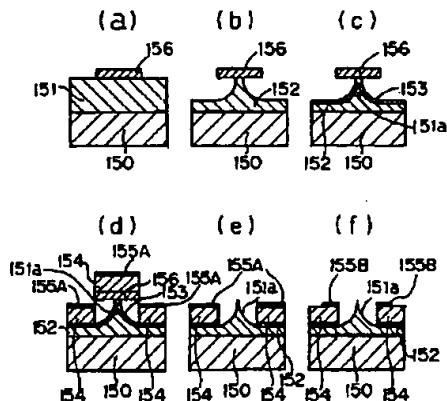
【図21】



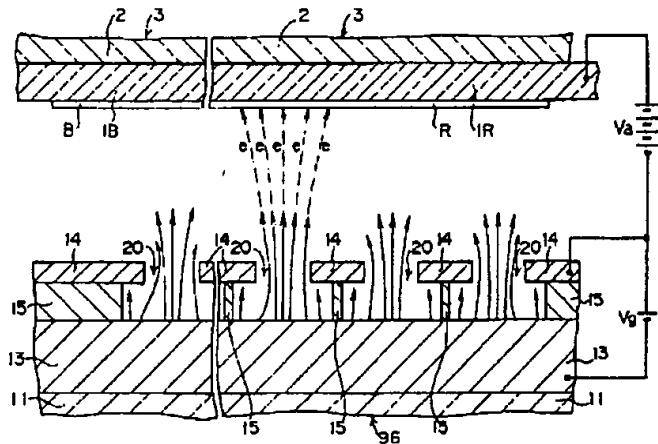
[图22]



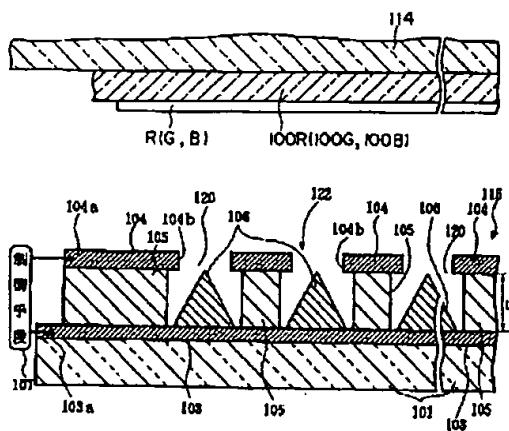
[圖39]



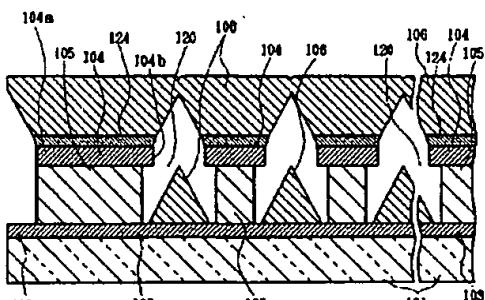
[図23]



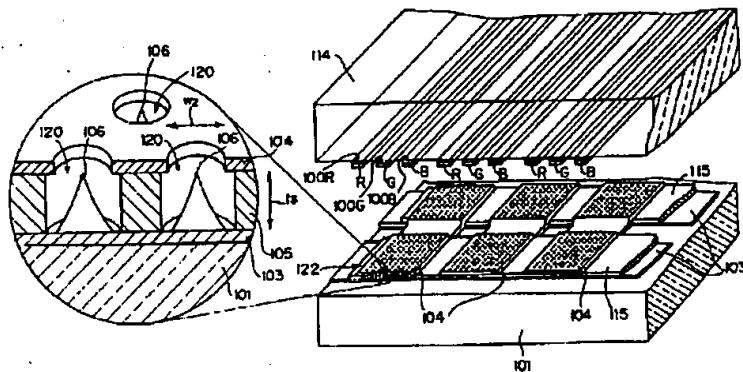
[图24]



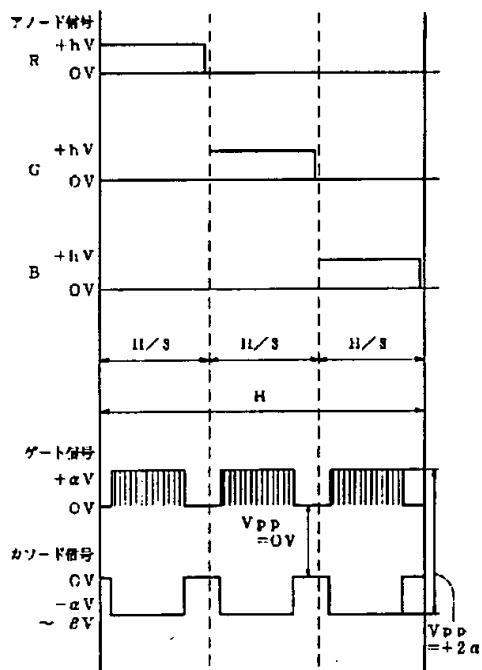
〔图32〕



[图25]

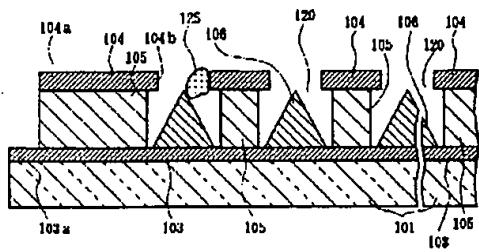


〔图27〕

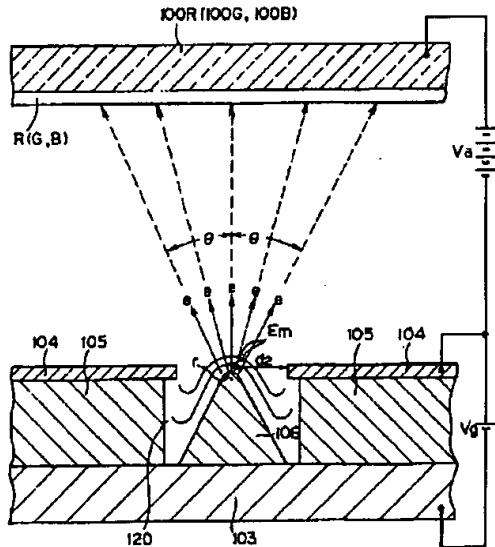


色選別のタイミングチャートを示す図

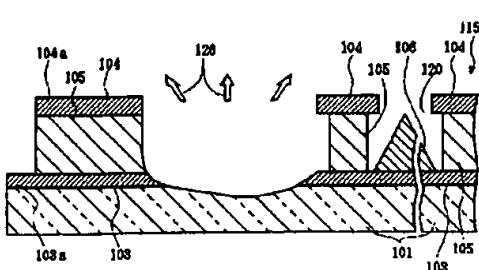
〔図34〕



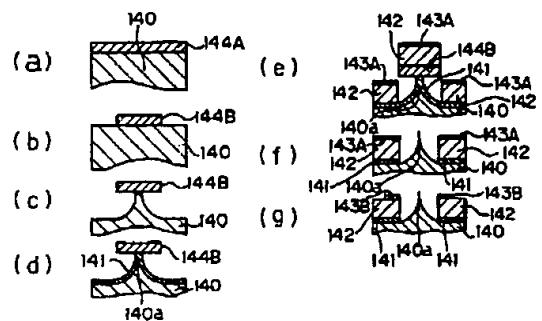
[图28]



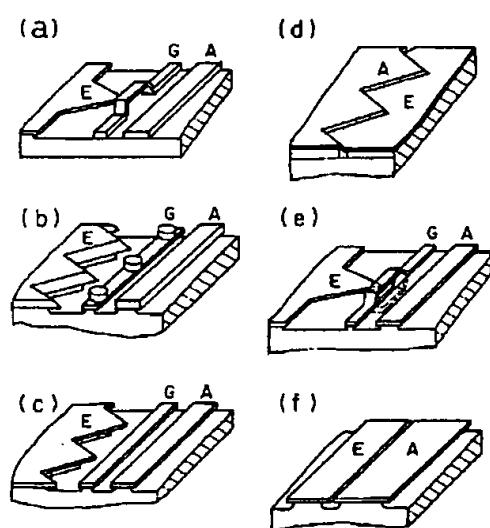
[☒ 3 5]



【図38】



【図41】



【図40】

